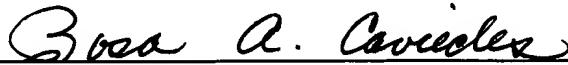


EXPRESS MAIL NUMBER: EL 813 645 908 USDATE OF DEPOSIT: June 28, 2001

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Box PATENT APPLICATION, Commissioner for Patents; Washington, DC 20231.



Rosa A. Caviedes



## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Shinya Hasegawa

Serial No.: Not yet assigned

Group Art Unit: Not yet assigned

Filed: June 28, 2001

Examiner: Not Yet Assigned

Title: SEMICONDUCTOR INTEGRATED CIRCUIT AND FUNCTIONAL  
BLOCK OF THE SAME

\* \* \*

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119  
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Japan	2000-196868	06/29/2000

A Certified copy of the corresponding Convention Application(s) is(are) being submitted herewith.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: June 28, 2001

By *Edward B. Weller*

*Edward B. Weller*

Reg. No. 37,468

Attorney for Applicant

GRAY CARY WARE & FREIDENRICH  
1755 Embarcadero Road  
Palo Alto, CA 94303-3340  
Telephone: (650) 833-2000  
Facsimile: (650) 320-7401

日本国特許庁  
JAPAN PATENT OFFICE

Jc996 U.S. PTO  
09/095997  
06/28/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application:

2000年 6月29日

出願番号

Application Number:

特願2000-196868

出願人

Applicant(s):

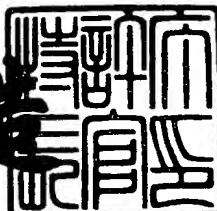
株式会社東芝

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 4月27日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



【書類名】 特許願  
【整理番号】 A000003016  
【提出日】 平成12年 6月29日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 27/00  
【発明の名称】 機能ブロック  
【請求項の数】 8  
【発明者】  
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
イクロエレクトロニクスセンター内  
【氏名】 長谷川 真也  
【特許出願人】  
【識別番号】 000003078  
【氏名又は名称】 株式会社 東芝  
【代理人】  
【識別番号】 100058479  
【弁理士】  
【氏名又は名称】 鈴江 武彦  
【電話番号】 03-3502-3181  
【選任した代理人】  
【識別番号】 100084618  
【弁理士】  
【氏名又は名称】 村松 貞男  
【選任した代理人】  
【識別番号】 100068814  
【弁理士】  
【氏名又は名称】 坪井 淳  
【選任した代理人】  
【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 機能ブロック

【特許請求の範囲】

【請求項1】 ローカルクロックに同期する機能回路と、  
システムクロックに同期するシステムバス及び前記機能回路の間で信号の受け  
渡しを行う動作タイミングを定める同期回路とを備え、  
前記同期回路は、前記システムクロック及び前記ローカルクロックを入力し、  
前記システムクロックからアクセス時間を確定することにより前記動作タイミング  
を定めることを特徴とする機能ブロック。

【請求項2】 前記同期回路は、前記システムクロック及び前記ローカルク  
ロックを入力し、前記システムクロックから前記機能回路のアクセス完了信号を  
生成することにより前記動作タイミングを定めることを特徴とする請求項1記載  
の機能ブロック。

【請求項3】 前記アクセス完了信号は、前記システムクロックに同期して  
起動するカウンタと比較回路とを用いて前記カウンタの出力と周波数指定信号と  
を比較することにより生成されることを特徴とする請求項2記載の機能ブロック  
。

【請求項4】 ローカルクロックに同期する機能回路と、  
システムクロックに同期するシステムバス及び前記機能回路の間で信号の受け  
渡しを行う動作タイミングを定める同期回路とを備え、  
かつ、前記機能回路及び前記同期回路を一体化することを特徴とする機能ブロ  
ック。

【請求項5】 前記同期回路において、前記システムクロックの周波数を可  
変とすることを特徴とする請求項1乃至4のいずれか1つに記載の機能ブロック  
。

【請求項6】 前記同期回路は、前記システムバスの種類によらずに前記シ  
ステムバスと前記機能回路との間で信号の受け渡しを行う動作タイミングを定め  
ることを特徴とする請求項1乃至4のいずれか1つに記載の機能ブロック。

【請求項7】 前記システムクロックの周波数を可変とする手段は、前記同

期回路に周波数指定信号を入力することによりなされることを特徴とする請求項5記載の機能ブロック。

【請求項8】 前記システムクロックの周波数を付与することにより、レジスタトランスマスファレベルの設計データが自動的に生成されることを特徴とする請求項1乃至7のいずれか1つに記載の機能ブロック。

#### 【発明の詳細な説明】

##### 【0001】

###### 【発明の属する技術分野】

本発明はIP(Intellectual Property:知的財産)の設計に係り、特にLSI内蔵されるIP機能回路を駆動するローカルクロックと、システムバスを駆動するシステムクロックからなる2系統の異なるクロックを用いてIP機能回路とシステムバスとの間で信号の受け渡しを行う同期回路に関するものである。また、IP機能回路と同期回路とを一体化し、IP(機能ブロック)としてLSIの設計に使用するものである。

##### 【0002】

###### 【従来の技術】

従来のIPの設計にはシステムバスに依存するものと依存しないものがある。図6を用いて従来のIPの設計について説明する。システムバスに依存する従来のIPの設計例を図6に示す。1はIPの入出力信号を転送するシステムバスであり、システムクロックと同期して動作する。また、2は設計の対象とするIPであって、システムクロックとローカルクロックに同期して動作する。

##### 【0003】

図6に示す従来のIPの設計では、IP2自身が特定のシステムバス1に依存して設計されるため、特定のシステムバス1を備えるLSIの設計にIP2を再利用する際、システムクロックとローカルクロックの周波数の相違を気にすることなくIP2をそのまま使用することができる。

##### 【0004】

しかしながらIPベンダーは、種々のシステムバスに応じたIPを個別に用意する必要があるため、IPベンダーとしての効率が低下する。これを回避するた

め、従来図7に示すように、システムバスに依存しないIPの設計が用いられてきた。

#### 【0005】

図7において、IP3はローカルクロックのみに同期する回路になっておりシステムクロックとローカルクロックの相違を吸収するブリッジブロック4を介してシステムバス1に接続される。すなわち、IP3及びブリッジブロック4からなる回路5がシステムクロックと同期するシステムバス1に接続される。

#### 【0006】

ここでブリッジブロックとは、ローカルクロックと同期するIPのバス、及びシステムクロックと同期するシステムバスの間で信号の受け渡しを行う回路ブロックのことであり、ローカルクロックとシステムクロックにそれぞれ同期する回路が含まれる。

#### 【0007】

しかし、例えば図8の縦の破線と一点鎖線で示されるように、通常複数のクロックを有するローカルクロックの立ち上がり点は、種々の態様でシステムクロックと同期をとる必要があり、また、これらのローカルクロックのハイレベルやローレベルの持続時間等は、IPの機能に応じて種々の長さに定める必要があるので、ブリッジブロックの設計は複雑なものとなる。

#### 【0008】

ブリッジブロックはIPの再利用者により開発される。従って、従来一般に行われてきたブリッジブロックを用いたIPの設計では、ブリッジブロックがクロックの相違を吸収するため、IPの再利用者にはブリッジブロックを成す複雑な同期回路を開発するための大きな負荷が加わり、開発期間が長くなるという問題を生じていた。

#### 【0009】

##### 【発明が解決しようとする課題】

上記したように、従来のIPの設計では、システムバスに依存するIPの設計を行えば、IPベンダーは種々のシステムバスに個別に対応するIPを用意する必要があり、また、システムバスに依存しないIPの設計を行うためには、シス

システムクロックとローカルクロックの相違を吸収する複雑なブリッジブロックを開発するという大きな負荷がIPの再利用者に加わるという問題があった。

#### 【0010】

本発明は上記の問題点を解決すべくなされたもので、システムクロックをIP内に取り込むことにより、IPの再利用者に加わるブリッジブロックを開発する負荷を軽減することを目的とする。

#### 【0011】

##### 【課題を解決するための手段】

本発明のIP（機能ブロック）は、IPを内蔵するLSIの開発やLSIの派生品開発において、規格準拠のIPを再利用する際、システムクロックが取り込まれた同期回路とIP機能回路とを、IPとして一体化することによりシステムクロックをIP内に取り込み、システムクロックのみを考慮した単純なブリッジブロックを用いて再利用者が前記IPをLSIに搭載することを可能にし、IPの再利用者に加わるIP取り扱い上の負荷を軽減して、IPとしての再利用性を高めることを特徴とする。

#### 【0012】

具体的には本発明の機能ブロックは、ローカルクロックに同期する機能回路と、システムクロックに同期するシステムバス及び前記機能回路の間で信号の受け渡しを行う動作タイミングを定める同期回路とを備え、前記同期回路は、前記システムクロック及び前記ローカルクロックを入力し、前記システムクロックからアクセス時間を確定することにより前記動作タイミングを定めることを特徴とする。

#### 【0013】

好ましくは前記同期回路は、前記システムクロック及び前記ローカルクロックを入力し、前記システムクロックから前記機能回路のアクセス完了信号を生成することにより前記動作タイミングを定めることを特徴とする。

#### 【0014】

また、好ましくは前記アクセス完了信号は、前記システムクロックに同期して起動するカウンタと、比較回路を用いて前記カウンタの出力と周波数指定信号と

を比較することにより生成されることを特徴とする。

【0015】

本発明の機能ブロックは、ローカルクロックに同期する機能回路と、システムクロックに同期するシステムバス及び前記機能回路の間で信号の受け渡しを行う動作タイミングを定める同期回路とを備え、かつ、前記機能回路及び前記同期回路を一体化することを特徴とする。

【0016】

好ましくは前記同期回路において、前記システムクロックの周波数を可変とすることを特徴とする。また、前記同期回路は、前記システムバスの種類によらずに前記システムバスと前記機能回路との間で信号の受け渡しを行う動作タイミングを定めることを特徴とする。

【0017】

また、好ましくは前記システムクロックの周波数を可変とする手段は、前記同期回路に周波数指定信号を入力することによりなされることを特徴とする。

【0018】

また、本発明の機能ブロックにおいて、前記システムクロックの周波数を付与することにより、レジスタトランスマスファレベルの設計データが自動的に生成されることを特徴とする。

【0019】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

図1乃至図4は本発明の第1の実施の形態に係るIP機能回路及びその同期回路を一体化したIP(機能ブロック)の設計を示す図である。本発明の実施の形態において、IPとはLSIが内蔵する特定機能を備えた機能ブロックの知的資産のことであり、LSI及びその派生品の開発に際し、長い開発期間を要する機能ブロックの設計等に関する全ての資料が知的資産として引き継がれ、新製品の開発に再利用されるものである。

【0020】

以下の実施の形態で述べるIP機能回路及びその同期回路からなるIPを用い

れば、IPとしての機能ブロックをLSI及びその派生品開発に再利用する際、IPの設計等に関して引き継がれた既知の知的資産の有効利用を図り、開発コストの削減に寄与することができる。

#### 【0021】

はじめに、図1を用いて第1の実施の形態に係るIP設計の概要について説明する。図1に示すIPの設計において、システムクロックを取り込みローカルクロックで動作するIP（機能ブロック）20が、システムクロックのみと同期するブリッジブロック30に接続され、IP 20及びブリッジブロック30からなる回路40がシステムクロックと同期するシステムバス10に接続される。

#### 【0022】

図1に示す本発明のIPの設計では、IP 20の内部でシステムクロックとローカルクロックの同期をとるので、従来のブリッジブロック4（図7参照）と異なり、本発明のブリッジブロック30ではシステムクロックだけを考慮すればよいのでブリッジブロックの設計が容易になり、開発期間を短縮することができる。

#### 【0023】

次に図2を用いて第1の実施の形態に係るIP 20の構成を説明する。図2に示すIP 20はローカルクロックに同期するIP機能回路21と、システムクロックを取り込みローカルクロックと同期する同期回路22から構成される。

#### 【0024】

IP 20を設計する段階ではシステムクロックの周波数は未知である。そこでシステムクロックの周波数指定信号A[n:0]（nは自然数）を用いて、IP 20に内臓される同期回路22にシステムクロックの情報（例えば所定のクロック数）を取り込み、周波数指定信号A[n:0]を介してIP 20のシステムクロックとローカルクロックとを整合させることにより、種々のシステムクロックの周波数に対応するIPの設計を行うことができる。

#### 【0025】

システムクロックの周波数指定信号A[n:0]は、IP 20を使用するLSIの外部ピン、又はLSIの内部プルアップ（内部電源電圧レベルへの接続）

、プルダウン(接地レベルへの接続)、又はブリッジブロック30より与えられる。システムクロックの周波数指定信号A [n : 0] がブリッジブロック30から与えられれば、システムクロックが可変であるシステムにも対応することが可能になる。

#### 【0026】

次に、図3、図4を用いてIP 20に含まれる同期回路22の動作について説明する。図3の最上段に、システムクロックのタイミング波形が示されている。また、図3の第2段乃至第4段に、例えばローカルクロックと同期するIP機能回路21がレジスタからなるものとして、レジスタアクセスのタイミング波形が示されている。ここで、システムクロックは、システムバス10に転送されるLSI全体の信号について同期をとるクロック信号であり、ローカルクロックはレジスタアクセスのクロック信号である。

#### 【0027】

例えば図3の2段目乃至4段目に示されるように、IP使用LSIから入力される読み出し／書き込み信号、及びチップセレクト信号は、ローカルクロックと同期してレジスタの読み出し／書き込み動作が行われ、この読み出し／書き込み動作の終了時点でアクセス完了信号がLSIに返される。これらの一連の動作がレジスタの読み出し書き込みサイクルを構成する。

#### 【0028】

例えば、図3に示すタイミング波形において、従来はブリッジブロック4においてシステムクロックとローカルクロックとの間で複雑な同期を取り、レジスタアクセスに必要なタイミング波形を生成する必要があった(図7、図8参照)。これに対して第1の実施の形態では、システムクロックと周波数指定信号A [n : 0]とを用いてレジスタアクセスに必要なタイミング波形を生成することができる。

#### 【0029】

このような機能を備えるIP機能回路21とその同期回路22とが一体化されたIP 20の具体的な構成例を図4に示す。IP 20はタイミングカウンタ50と、比較回路60と、IPローカルクロック駆動部70から構成される。

## 【0030】

図4に示すように、タイミングカウンタ50がチップセレクト信号により起動し、システムクロックのカウントが開始される。比較回路60を用いてタイミングカウンタ50の計数値と周波数指定信号A [n : 0] とが比較され、その比較結果が一定の判定基準に達した時点でアクセス完了信号が送出される。

## 【0031】

一方、チップセレクト信号はIPローカルクロック駆動部70を起動し、アドレスデータ信号等を用いて処理対象とするIP機能回路21（レジスタ）へのアクセスが行われ、ローカルクロックと同期してIP機能回路21のデータ入出力サイクル（レジスタの読み出し／書き込みサイクル）が実行される。

## 【0032】

このようにすれば、外部から周波数指定信号A [n : 0] を付与することにより、カウンタによるシステムクロックの計数値と、ローカルクロックで駆動されるIP機能回路21のデータ入出力サイクルの終了時点とを合わせ込むことによりアクセス完了信号を送出し、一連のIP機能回路21のデータ入出力サイクルを完了することができる。

## 【0033】

IP設計時にはローカルクロックは既知であるから、そのクロックでキーとなる信号を取り込むタイミングもまた既知である。そこで図4に示す回路において、外部から周波数指定信号A [n : 0] を付与し、システムクロックの計数値を基準にしてアクセス時間（時間）を確定する。例えばアクセス完了信号をLSIに返すタイミングを計ることにより、IP 20がチップセレクト信号の有効な時間を取り込めるように調整することが可能になる。

## 【0034】

次に、図5を用いて第2の実施の形態に係る周波数指定信号A [n : 0] の作用について説明する。第1の実施の形態では周波数指定信号A [n : 0] を用いてシステムクロックをIP 20に取り込み、ローカルクロックで動作するIP機能回路21のタイミング波形を生成することについて説明した。

## 【0035】

しかし、周波数指定信号A [n : 0] の作用は、IP 20の設計に際し未知のシステムクロックと既知のローカルクロックとを整合させる場合にのみ有効なものではない、一般に2系統のクロックで動作するシステムにおいて、1系統のクロック周波数の変化に対して他の1系統のクロックのタイミングを整合する場合にも有効である。

#### 【0036】

例えば、図5に示すように、周波数指定信号A [n : 0] を000、001、010、011、100と変化し、これに応じてシステムクロックが20MHz、40MHz、60MHz、80MHz、100MHzと変化する場合にも、それぞれ対応する周波数指定信号A [n : 0] を用いてローカルクロックのタイミングをシステムクロックに追隨させることができる。

#### 【0037】

このようなIPを内蔵するLSIの動作は、LSIの動作モードとして、例えばシステムクロック周波数を低下させることにより低消費電力動作が可能な、低消費電力動作モードが含まれる場合に特に有効である。

#### 【0038】

また、周波数指定信号A [n : 0] は、必ずしもシステムクロックの周波数ばかりでなく、例えばA [n : 0] の中に、システムクロックを構成する矩形波のハイレベルやロウレベルの比率等、システムクロックの形状の変化に関する情報を含ませることも容易である。

#### 【0039】

第1、第2の実施の形態で説明したように、IPを設計する際、未知な設計データはシステムクロックのみであるから、IPを再利用してLSIを開発する際、システムクロックを含むLSIの仕様と、知的資産として引き継がれたIPと周波数指定信号A [n : 0] とが与えられれば、少なくともRTL(Register Transfer Level)におけるLSIの自動設計を実行することができる。

#### 【0040】

なお本発明は上記の実施の形態に限定されることはない。クロックを2系統取り込み1系統のクロックを可変とする同期化を行う回路、及びアクセス完了信号

をシステムクロックに同期してIPから送出する回路等は、図4を用いて説明したもの以外の回路や方法を用いて実現することができる。その他本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

## 【0041】

## 【発明の効果】

上述したように、本発明のIPの設計によれば、IP内でシステムクロックとローカルクロックとの同期化を行い、システムバスとIPとの間で信号の授受を行うブリッジblockの設計では、システムクロックだけを考慮するようすれば、ブリッジblockの設計が容易になり、IPを内蔵するLSI及びその派生品開発の際、IPとその周辺機能blockの再利用性を高めることが可能になる。

## 【図面の簡単な説明】

## 【図1】

第1の実施の形態に係るIP設計の概要を示す図。

## 【図2】

第1の実施の形態に係るIPの構成を示す図。

## 【図3】

システムクロックとレジスタアクセスのタイミング波形とを示す図。

## 【図4】

IPの具体的構成例を示す図。

## 【図5】

第2の実施の形態に係る周波数指定信号の作用を示す図。

## 【図6】

従来のIPの設計を示す図。

## 【図7】

従来のシステムバスに依存しないIPの設計を示す図。

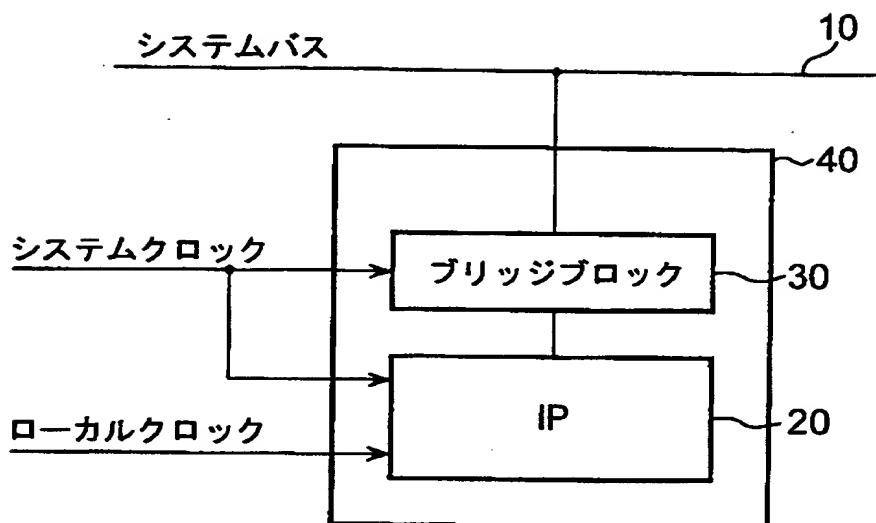
## 【図8】

システムクロックとローカルクロックの関係を示す図。

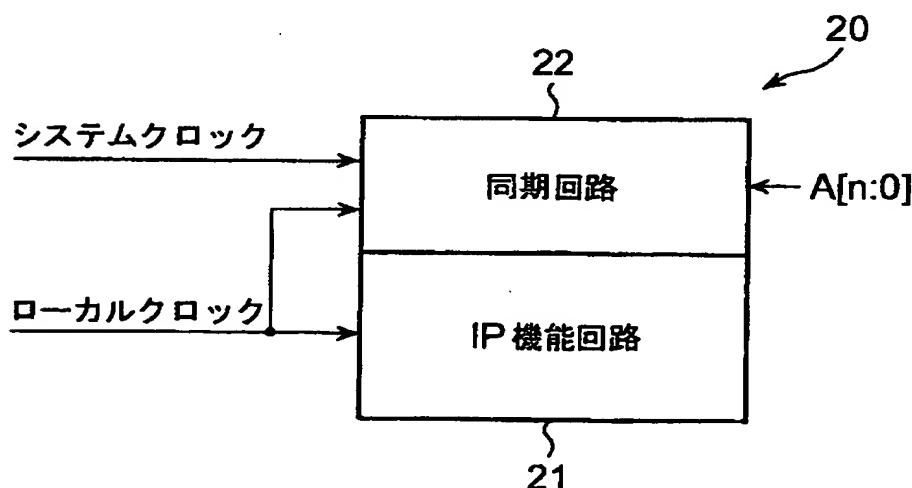
## 【符号の説明】

- 1、10…システムバス
- 2、3、20…IP
- 4、30…ブリッジブロック
- 5…IP及びブリッジブロックからなる回路
- 21…IP機能回路
- 22…同期回路
- 40…IP及びブリッジブロックからなる回路
- 50…タイミングカウンタ
- 60…比較回路
- 70…IPローカルクロック駆動部

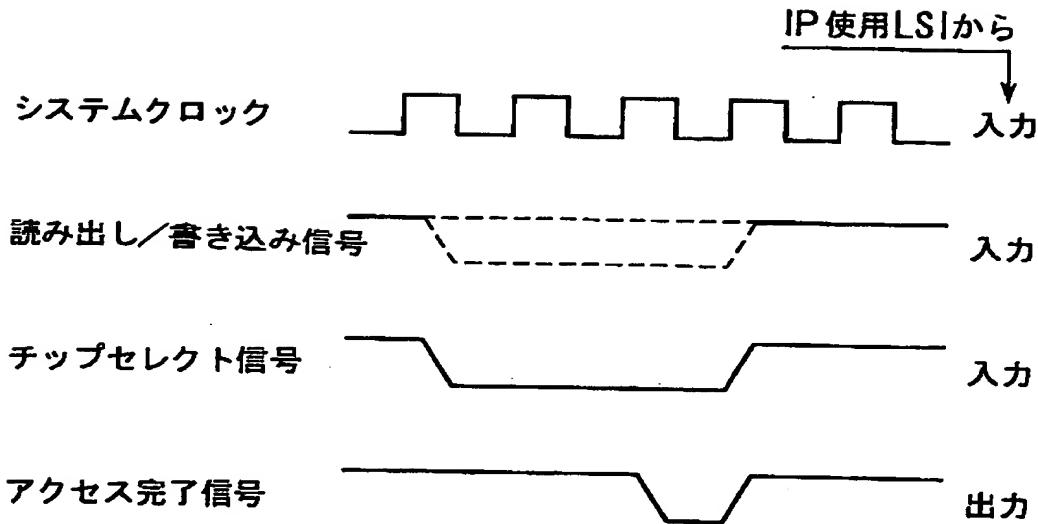
【書類名】 図面  
 【図1】



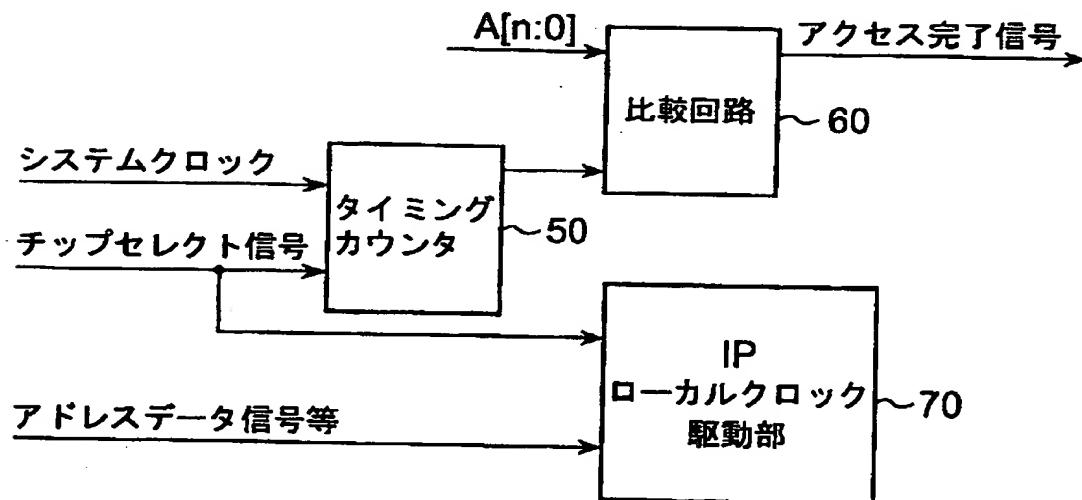
【図2】



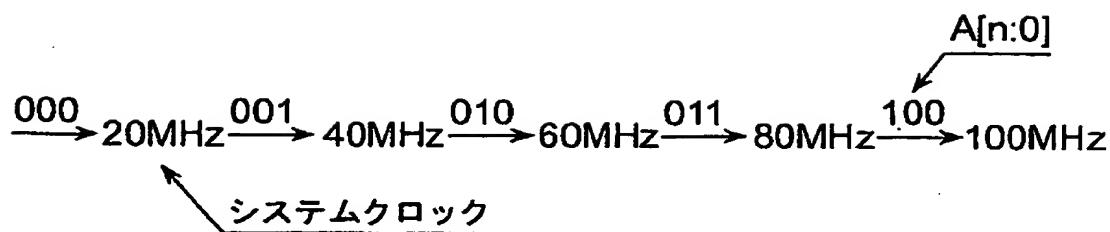
【図3】



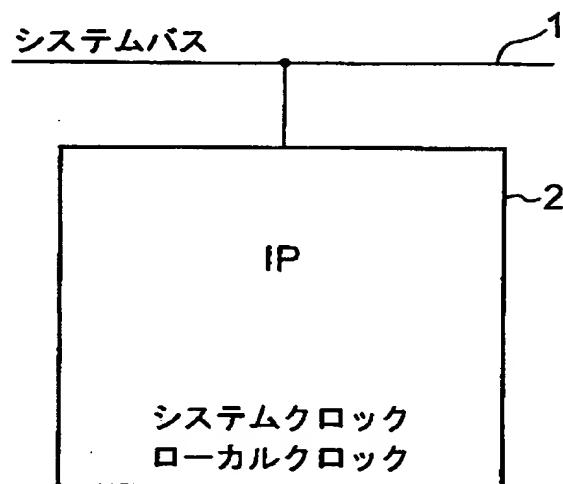
【図4】



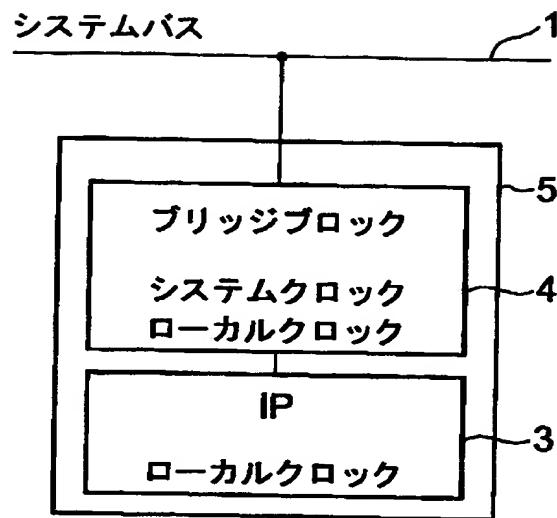
【図5】



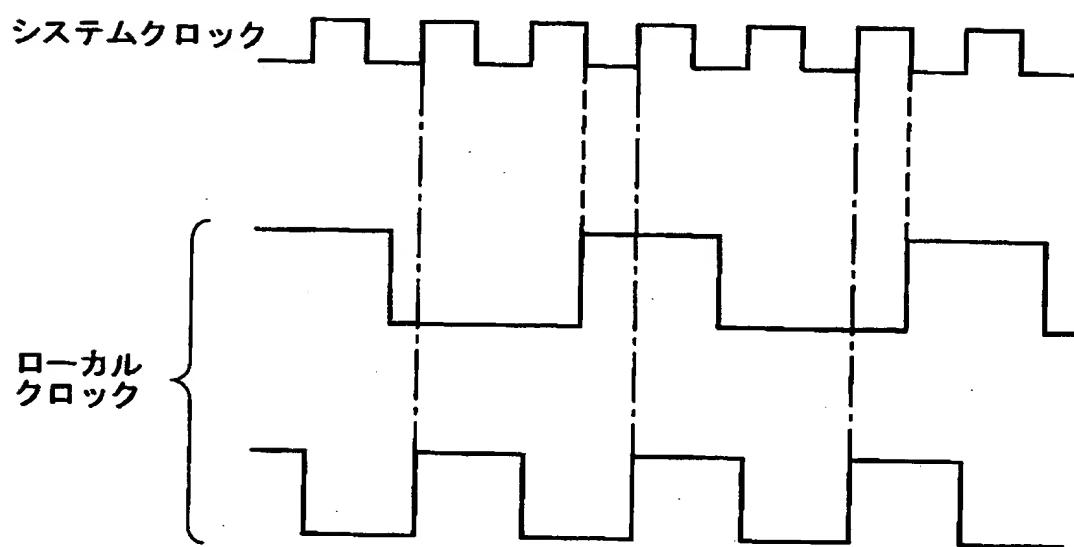
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 システムクロックをIP（機能ブロック）に取り込むことにより、複雑なブリッジブロックを開発するというIPの再利用者に加わる負荷を軽減する。

【解決手段】 本発明の機能回路及びその同期回路からなるIP20は、IPを内蔵するLSIの開発やLSIの派生品開発において規格準拠のIPを再利用する際、システムクロックが取り込まれた同期回路とIP機能回路とをIP20として一体化することにより、システムクロックをIP20に取り込み、再利用者が、システムバス10を駆動するシステムクロックのみを考慮した単純なブリッジブロック30を介して前記IP20をLSIに搭載することを可能にし、IP取り扱い上の負荷を軽減してIPとしての再利用性を高めることが可能になる。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地

氏 名 株式会社東芝